

PATENT ABSTRACTS OF JAPAN

AC

(11)Publication number : 11-055270
 (43)Date of publication of application : 26. 02. 1999

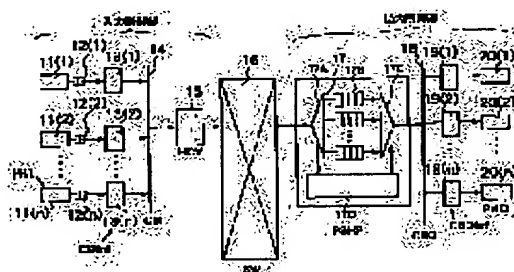
(51) Int. Cl. H04L 12/28
 H04Q 3/00

(21)Application number : 09-204303 (71)Applicant : OKI ELECTRIC IND CO LTD
 (22)Date of filing : 30. 07. 1997 (72)Inventor : MATSUNUMA KEIJI

(54) CELL EXCHANGE DEVICE**(57) Abstract:**

PROBLEM TO BE SOLVED: To change the number of storage lines and the combination of the speed of the storage lines by providing a buffer part which temporarily stores respective inputted cells and a bus contention control part controlling read timing from the buffer part and timing contention and multiplexing and outputting the respective cells which are read by a bus.

SOLUTION: An ATM exchange is provided with input control parts 11-15, a main switch part 16 and output control parts 17-20. The ATM exchange contention-controls the outputs of the cells inputted from the respective low speed lines to the multiplex bus 14 and multiplexes the cells from the respective lines on the bus 14 and therefore it can correspond to arbitrary line speed. Then, hardware constitution can be reduced by intensively giving a header required for switching in the switch part 16 by the header conversion part 15 prepared in common to the respective lines.

**LEGAL STATUS**

[Date of request for examination] 13. 02. 2001
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-55270

(43) 公開日 平成11年(1999) 2月26日

(51) Int. Cl. ⁶

識別記号

F I

H04L 12/28

H04L 11/20

E

H04Q 3/00

H04Q 3/00

審査請求 未請求 請求項の数 8 ○ L (全12頁)

(21) 出願番号 特願平9-204303

(22) 出願日 平成9年(1997) 7月30日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 松沼 敬二

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

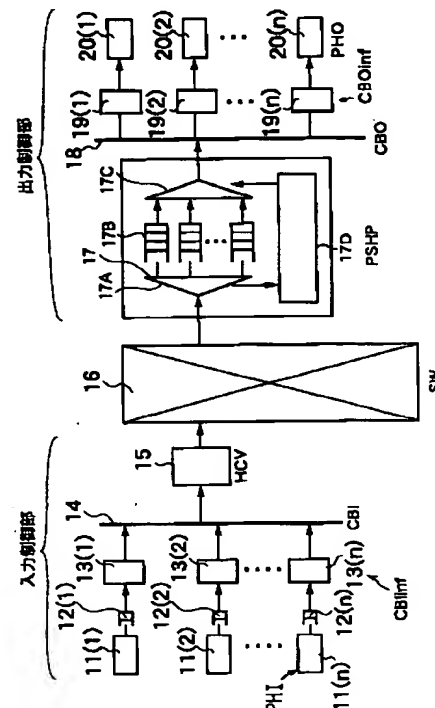
(74) 代理人 弁理士 工藤 宣幸

(54) 【発明の名称】 セル交換装置

(57) 【要約】

【課題】 収容する回線速度及び回線数が特定化され、変更が容易でなかった。

【解決手段】 セル交換装置における低速回線を収容する入力インタフェース部に、(1) 各低速回線に対応し、各低速回線より入力された各セルを一時蓄積するのに使用するバッファ部と、(2) バッファ部からのセルの読み出しを制御し、各低速回線に対応するバッファ部からの読み出しタイミングを制御し、当該タイミングの競合を制御するバス競合制御部と、(3) 各低速回線に対応するバッファ部から読み出された各セルを多重し出力するバスとを備えるようにする。



【特許請求の範囲】

【請求項 1】 少なくとも 2 以上の低速回線を収容し、当該各低速回線を介して入力される各セルを、各回線速度の少なくとも 2 倍以上の速度で交換するセル交換装置において、

低速回線を収容する入力インタフェース部に、各低速回線に対応し、各低速回線より入力された各セルを一時蓄積するのに使用するバッファ部と、上記バッファ部からのセルの読み出しを制御し、各低速回線に対応するバッファ部からの読み出しタイミングを制御し、当該タイミングの競合を制御するバス競合制御部と、各低速回線に対応するバッファ部から読み出された各セルを多重し出力するバスとを備えることを特徴とするセル交換装置。

【請求項 2】 請求項 1 に記載のセル交換装置において、

上記低速回線を収容する入力インタフェース部に、多重化前の各セルを入力し、各セルのヘッダに、各セルの入力回線を表す物理回線選択識別子を付与する物理回線選択識別子付与部と、

多重化された各セルを入力し、各セルのヘッダから読み出した上記物理回線選択識別子及びコネクション識別子に基づいて、各セルの交換に使用する主スイッチ部の出側方路選択子と、出側低速回線に対応した出側物理回線選択識別子と、出側コネクション識別子とを付与するヘッダ変換部とを備えることを特徴とするセル交換装置。

【請求項 3】 請求項 2 に記載のセル交換装置において、

上記主スイッチ部において交換された各セルに対応する各低速回線に出力する出力インタフェース部に、上記ヘッダ変換部で付与された出側物理回線選択識別子ごとに出力低速回線の帯域を越えないように送出トラヒック流量を制御する送出トラヒック制御部を備えたことを特徴とするセル交換装置。

【請求項 4】 請求項 3 に記載のセル交換装置において、

上記出力インタフェース部に、上記送出トラヒック制御部から出力される各セルを入力するバスと、

上記バスを介して入力されたセルのうち、自らに割り当てられている出側物理回線選択識別子を有するセルのみに対応する出側低速回線に対して出力するバスインタフェース部とを備えることを特徴とするセル交換装置。

【請求項 5】 請求項 2 に記載のセル交換装置において、

上記物理回線選択識別子付与部は、付与する物理回線選択識別子の値を保持するレジスタと、

コネクション識別子の有効ビット数を保持するレジスタ

とを備え、当該レジスタに保持されている物理回線選択識別子の値を、上記コネクション識別子のうちバーチャルバス識別子の有効ビットの直上位の位置に付与することを特徴とするセル交換装置。

【請求項 6】 請求項 2 に記載のセル交換装置において、

上記ヘッダ変換部は、出側物理回線選択識別子と出側コネクション識別子の有効ビットを縮体して変換テーブルを索引することを特徴とするセル交換装置。

【請求項 7】 請求項 3 に記載のセル交換装置において、

上記出力インタフェース部は、出側物理回線選択識別子ごとに仮想待ち行列を構成し、対応する出側回線についてのセル間隔を計測する判定部を備えることを特徴とするセル交換装置。

【請求項 8】 請求項 3 に記載のセル交換装置において、

上記出力インタフェース部は、コネクションごとに仮想待ち行列を構成し、対応する出側回線についてのセル間隔を計測する判定部を備えることを特徴とするセル交換装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、セル交換装置に関し、例えば、非同期転送モード（A T M）交換機に適用して好適なものである。

【 0 0 0 2 】

【従来の技術】図 2 に、従来用いられている A T M 交換機の構成を示す。一般に、この種の A T M 交換機では、1 5 6 M b p s の帯域を要する高速回線を収容することを前提としている。しかし、実用的な回線の帯域は、1 . 5 M b p s ～ 6 . 3 M b p s と比較的低速である。また、L A N を収容する場合でも、通常使用されているイーサネット等の帯域は、1 0 M b p s 程度である。

【 0 0 0 3 】ところが、A T M 交換機の主スイッチ部 4（図 2）は、高速回線（1 5 6 M b p s 等）を収容することも想定しており、基本設計が高速回線向きになっているものが多い。

【 0 0 0 4 】このような装置において、前述したような低速回線を収容するには、回線収容部（多重化部 2 及び分離化部 6）において、多重化と分離化の 2 つの処理を経て収容するのが一般的であった。一方、高速回線を収容する場合は、高速回線入力出力インタフェース 8 及び 9 を用いてそのまま接続する方法が採られる。

【 0 0 0 5 】

【発明が解決しようとする課題】かかる従来技術の課題を、図 3 を用いて説明する。なお、図 3 は、A T M 交換機の各種機能をさらに詳細に表したものである。以下、図 3 に基づいて、各部の機能及び動作を説明する。

【0006】各々の低速回線入力インタフェース部1 (1)、1 (2)、…、1 (n) より入力されるセルには、それぞれコネクションを識別するためのVPI (バーチャルパスコネクション識別子) 及びVCI (バーチャルチャネルコネクション識別子) が付与されている。

【0007】ATM交換機は、これら識別子に基づいて、出側ポート及び識別子を選択し、交換動作を行うのが通常であるが、この種の交換機では、かかる識別子の他にも装置内ヘッダを使用する。このヘッダは、主スイッチ部4におけるルーティングのために使用するヘッダ (スイッチ制御ヘッダ) である。なお、その付加機能は、スイッチ制御ヘッダ付与機能 (又は、ヘッダ変換機能) と呼ばれる。

【0008】このようにスイッチ制御ヘッダ付与部1A (1)、1A (2)、…、1A (n) において、各回線より入力されたセルにスイッチ制御ヘッダが付与されると、次は、次段の多重化部2によって、主スイッチ部4の入力リンク容量 (例えば156Mbps) までセルを多重化する処理が行われる。

【0009】ここで、多重化部2に入力されたセルは、バッファ2A (1)、2A (2)、…、2A (n) に一時保持され、多重化される。なお、多重化されたセルは主スイッチ部4に入力され交換された後、次段の分離化部6に入力される。

【0010】分離化部6は、分離部6Aにおいて、主スイッチ部4から入力した各セルを、前述したスイッチ制御ヘッダに基づいて対応する回線毎に振り分けた後、回線毎用意された次段のセルバッファ6B (1)、6B (2)、…、6B (n) にバッファリングする。

【0011】このように、セルバッファ6B (1)、6B (2)、…、6B (n) にバッファリングするのは、高速度で到着するセルを低速回線に出力できるようにするためである。

【0012】すなわち、次段の送出速度制御部6C (1)、6C (2)、…6C (n) は、低速回線出力インタフェース部7 (1)、7 (2)、…7 (n) に対する送出トラフィック流量を一定値以下に抑えるよう機能するが、このとき、出力する回線の帯域を越えて到着したセルのバッファリングに、当該セルバッファ6B (1)、6B (2)、…、6B (n) が用いられる。

【0013】ところが、かかる構成を有するATM交換機には、以下に示すような問題点があった。

【0014】(1) 第1に、入側回線毎に対応して、スイッチ制御ヘッダ付与部1A (1)、1A (2)、…1A (n) が必要となるので、ハードウェア規模が大きくなってしまふ。

【0015】(2) 第2に、入側回線を収容する物理回線毎にインタフェースが必要となるため、多重化部2の入力信号が増大することが予想される (すなわち、ピンネックが予想される)。

【0016】(3) 第3に、出力回線毎にインタフェースが必要となるため、分離化部6からの出力信号数が増大することが予想される (すなわち、ピンネックが予想される)。

【0017】(4) 第4に、収容する回線速度及び回線数が特定化されてしまう点である。例えば、この多重化／分離化方法の場合には、想定する回線速度及び回線数が、1.5M×8回線とか、6.3M×4回線等のように特定化されてしまう。また、回線などを拡張する場合においても、前述した多重化／分離化部の実現仕様次第で決定され、柔軟性に欠けるという問題が発生する (多重化／分離化部単位の拡張となる)。

【0018】

【課題を解決するための手段】かかる課題を解決するため、本発明においては、少なくとも2以上の低速回線を収容し、当該各低速回線を介して入力される各セルを、各回線速度の少なくとも2倍以上の速度で交換するセル交換装置において、以下の手段を備えることを特徴とする。

【0019】すなわち、低速回線を収容する入力インタフェース部に、(1) 各低速回線に対応し、各低速回線より入力された各セルを一時蓄積するのに使用するバッファ部と、(2) バッファ部からのセルの読み出しを制御し、各低速回線に対応するバッファ部からの読み出しタイミングを制御し、当該タイミングの競合を制御するバス競合制御部と、(3) 各低速回線に対応するバッファ部から読み出された各セルを多重し出力するバスとを備えるようにする。

【0020】このように、低速回線の多重をバス上で行う構成としたことにより、収容回線数及び収容回線の速度の組み合わせを柔軟に変更し得ようになる。

【0021】

【発明の実施の形態】

(A) 第1の実施形態

以下、図面について、本発明に係るATM交換機の第1の実施形態を説明する。

【0022】(A-1) 第1の実施形態の構成

(A-1-1) 全体構成

図1に、第1の実施形態に係るATM交換機の構成を示す。このATM交換機は、大きく分けて、入力制御部11～15、主スイッチ部16、出力制御部17～20の3つの部分からなり、以下に示す4つの特徴点を有している。

【0023】1. セル多重バスを採用する点 (収容回線数及び速度の柔軟性を確保)。

【0024】2. 物理回線選択識別子 (PID) を採用した点及びヘッダ変換を集中制御とする点 (入側ヘッダ変換回路規模の削減及び出側分離化部の回路削減)。

【0025】3. 回線送出トラフィック流量制御を集中制御とする点 (出側分離化回路の削減)。

【0026】以下、順番に、各部の構成を説明する。

【0027】(A-1-2) 入力制御部の構成

入力制御部は、物理回線インタフェース11、12と、入側セル多重バスインタフェース部(CBInf)13と、入側セル多重バス(CBI)14と、ヘッダ変換部(HCV)15とで構成される。

【0028】物理回線インタフェース11、12は、n個の低速回線それぞれに対応するn個の低速回線入力インタフェース部(PHI)11(1)、11(2)、…11(n)と、その各々に対応するn個の一時記憶セルバッファ12(1)、12(2)、…12(n)とでなる。

【0029】一時記憶セルバッファ12(1)、12(2)、…12(n)は、各低速回線を介して入力されるセルを多重化するために使用される一時記憶手段であり、その読み出しは入側セル多重バスインタフェース部13(1)、13(2)、…13(n)により制御される。

【0030】入側セル多重バスインタフェース部13(1)、13(2)、…13(n)は、対応する一時記憶セルバッファ12(1)、12(2)、…12(n)から入力されるセルに対する物理回線選択識別子(PID)の付与及び競合制御を主な機能とするインタフェース部である。

【0031】各低速回線より入力されたセルは、これらn個の入側セル多重バスインタフェース部13(1)、13(2)、…13(n)による競合制御の下、一時記憶セルバッファ12(1)、12(2)、…12(n)から読み出され、入側セル多重バス14上で多重化される。

【0032】なおこのとき、入側セル多重バスインタフェース部13(1)、13(2)、…13(n)は、各低速回線の合計帯域が、入側セル多重バス14の帯域(つまり、主スイッチ部(SW)16の方路帯域)を越えないように各低速回線の帯域を配備するように制御する。

【0033】これにより、一時記憶セルバッファ12(1)、12(2)、…12(n)に要求される容量を、最小限(数セル)に抑えることができる。なお、入側セル多重バス14上において多重化されたセルは、ヘッダ変換制御部15に出力される。

【0034】ヘッダ変換制御部15は、入力されたセルに付加されているヘッダに基づいて、出側セルのヘッダに変換し、かつ、スイッチ制御ヘッダを付与する。ここで、ヘッダ変換制御部15は、主スイッチ部16の方路単位毎に設けられている。

【0035】(A-1-3) 出力制御部の構成

出力制御部は、出側回線制御部(PSH)17と、出側セル多重バス(CBO)18と、出側セル多重バスインタフェース部(CBOinf)19と、出側回線インタフェース部(PHO)20とで構成される。

【0036】出側回線制御部17は、主スイッチ部16の出側方路側に設けられる制御部であり、セル振り分け部17A、セルバッファ17B、セルバッファ選択部17C、送出トラヒック制御部17Dとで構成されてい

る。

【0037】このうち、セル振り分け部17Aは、入力側で付与された物理回線選択識別子PIDに基づいてセルバッファ17Bを選択するよう機能する。また、送出トラヒック制御部17Dは、セルヘッダを抽出し、回線毎(PID毎)に送出トラヒック流量を判定するよう機能する。また、セルバッファ選択部17Cは、送出トラヒック制御部17Dの判定結果を基にセルバッファ17Bを選択するよう機能する。

【0038】結果として、出側回線制御部17の出力には、それぞれの出側回線速度に合わせて制御されたセルが多重化されて出力され、次段の出側セル多重バス18上に送出される。

【0039】各低速回線毎に対応する出力回線インタフェース部20(1)、20(2)、…、20(n)は、出側セル多重バスインタフェース部19(1)、19(2)、…19(n)を介して、出側セル多重バス18に接続される。

【0040】(A-2) 第1の実施形態の動作

(A-2-1) セルの流れと装置内ヘッダ情報の変化
ここでは、図4を用いて、第1の実施形態に係るATM交換機内におけるセルの流れと、この際の装置内制御によるセルヘッダの変化の概要について説明する。

【0041】なお、図4の上段は、図1と同じ構成を示しており、その下段は、セルヘッダが装置内の制御によってどの様に変化するかを示している。

【0042】公知の通り、ATMは、セル(53バイトの固定長パケット)によって情報を転送する方法であり、各々のセルには、各コネクションを識別するためのVPI/VCIが付与されている。

【0043】ATM交換機は、このように各セルのヘッダに付与されている入側コネクション識別子(VPI1/VCI1)に基づいて出側の回線を選択するよう動作すると共に、出側のコネクション識別子(VPI2/VCI2)を付与するよう動作する。以下、このセル交換動作について説明する。

【0044】まず、低速回線よりATM交換機に入力された各セルは(図4のA点)、入側セル多重バスインタフェース部13(1)、13(2)、…13(n)に入力された後、競合制御を経て、物理回線選択識別子(PID)が付与される(図4のB点)。

【0045】競合制御の済んだ各セルは、入側セル多重バス14を介してヘッダ変換部15に入力され、ヘッダ変換される。ここで、ヘッダ変換部15は、各低速回線より到着するセルのヘッダに付与されている識別子(PID+VPI+VCI)に基づいて、予めソフトウェア的に設定された変換テーブルを参照する。そして、主スイッチ部16の出力側の方路選択識別子SWHD、物理回線識別子PID、VPI/VCIを付与する(図4のC)。

【0046】ヘッダ変換の済んだ各セルは、主スイッチ

部 1 6 に入力される。主スイッチ部 1 6 は、各セルの S W H D をもとに出側方路を選択し、出側回線制御部 1 7 に出力する (図 4 の D)。

【 0 0 4 7 】 出側回線制御部 1 7 では、到着したセルに付されている物理回線識別子 P I D に応じてセルバッファ 1 7 B を選択し、該当するセルバッファ 1 7 B に出力する。

【 0 0 4 8 】 出力トラヒック制御部 1 7 D は、物理回線識別子 P I D 毎 (回線毎) に送出するセルの速度制御を実行し、予めソフトウェア的に設定された各回線の帯域を越えて、該当セルが送出されないように制御する。

【 0 0 4 9 】 セルバッファ選択部 1 7 C は、出力トラヒック制御部 1 7 D からの指示により、各セルバッファ 1 7 B に一時蓄積されているセルを読み出す。

【 0 0 5 0 】 これらセルバッファ選択部 1 7 C 及び出力トラヒック制御部 1 7 D の機能によって、出側セル多重バス 1 8 に各回線の帯域を越えないように制御されたセルが多重化されて読み出される。

【 0 0 5 1 】 なお、出側セル多重バス 1 8 は、各回線部とバス形式で接続されているため、出側セル多重バス 1 8 の出力は、各回線に接続されている n 個の出側セル多重バスインタフェース部 1 9 (1)、1 9 (2)、… 1 9 (n) に入力される (図 4 の E)。

【 0 0 5 2 】 ここで、各出側セル多重バスインタフェース部 1 9 (1)、1 9 (2)、… 1 9 (n) は、この出側セル多重バス 1 8 より入力されるセルのうち、自回線に割り当てられている物理回線選択識別子 P I D 2 を有するセルのみを抽出し、出側回線インタフェース部 2 0 (1)、2 0 (2)、… 2 0 (n) に出力する (図 4 の F)。

【 0 0 5 3 】 以上が、A T M 交換機内におけるセルの流れと、これに伴うヘッダ情報の変化動作の概要である。

【 0 0 5 4 】 (A-2-2) 入側制御部における詳細動作

続いて、以上の動作を実現する入側制御部のより詳細な動作内容及びこれを実現する構成について説明する。

【 0 0 5 5 】 図 5 は、この動作説明に供する入側制御部の詳細構成図である。また、図 6 は、当該入側制御部において実行されるヘッダ変換方法の概要を表す図である。

【 0 0 5 6 】 図 5 に示すように、各回線入力インタフェース部 1 1 (i) から出力されたセルは、各回線に対応して設けられているセルバッファ 1 2 (i) に入力され、一時的に保持される。

【 0 0 5 7 】 各セルバッファ 1 2 (i) からは、セルの有無を表すセル有効信号 c l a v 1 が、対応する入側セル多重バスインタフェース 1 3 (i) に出力される。なお、セル有効信号 c l a v 1 は、各インタフェース 1 3 (i) 内に設けられた競合制御回路 (A B T) 1 3 A に入力される。

【 0 0 5 8 】 セル有効信号 c l a v 1 が有効になると、

競合制御回路 1 3 A は、他の回路 (他の入側セル多重バスインタフェースの競合制御回路) との間で信号線 A B T c t l を経由して入出力される競合制御に必要な情報 (例えば、データ転送中表示など) に基づいて、入側セル多重バス 1 4 の競合制御を実行する。

【 0 0 5 9 】 この競合制御に勝ち残ったセルについての競合制御回路 1 3 A は、物理回線インタフェース部 (P H Y i n f) 1 3 B に対する読み出し指示 r d s t 1 を有効にする。このように読みだし指示 r d s t 1 が有効となると、物理回線インタフェース部 1 3 B は、セルバッファ 1 2 (i) よりセルを読み出して、これを後段の P I D スタンプ部 1 3 C に転送する。

【 0 0 6 0 】 P I D スタンプ部 1 3 C は、予めソフトウェアにより設定された (P I D 保持レジスタ 1 3 E に記憶されている) P I D 値を、予め設定されている V P I 有効範囲 (回線設備条件) を越える上位ビットの部分にスタンプし出力する (図 6 参照)。

【 0 0 6 1 】 ここで、物理回線選択識別子 P I D を、有効 V P I の直ぐ上位に位置するビット部分に付与するのは、次段のヘッダ変換部 1 5 にて行う縮退 (V P I 及び V C I の有効ビット数のみを詰めて変換テーブルを索引する) 機能を有効に利用できるようにするためである。

【 0 0 6 2 】 なお、この機能を実現するため、当該入側セル多重バスインタフェース 1 3 (i) には、回線インタフェース上で取り決められている V P I 有効ビット数を保持するレジスタ (ソフトウェアによって設定される V P I 有効レジスタ 1 3 F) より、スタンプする P I D ビットの位置を割り出し、P I D 保持レジスタ 1 3 E に設定された P I D 値をスタンプする機能が具備されている。

【 0 0 6 3 】 このように、物理回線選択識別子 P I D をスタンプされた情報 (セル) は、入側セル多重バス 1 4 を介してヘッダ変換部 1 5 に出力される。なお、競合制御部 1 3 A は、ヘッダ変換部 1 5 より送出される各種タイミング信号に基づいて競合制御を行っており、セルの送出に先立ち、その送出を入側ヘッダ変換テーブル 1 5 に知らせるセル有効信号 c l a v 2 を送出する。

【 0 0 6 4 】 ここで、セル有効信号 c l a v 2 の送出タイミングは、セルストリームを転送するのに最適なタイミングに設定する。例えば、「セルストリーム転送に必要なクロック数」+「切り替えに必要なクロック数」の周期に設定する。このように設定すれば、セルバス上での無駄なオーバーヘッドを最適化することができる。

【 0 0 6 5 】 ヘッダ変換部 1 5 のセルバスインタフェース制御部 1 5 A は、各タイミングによって、入側セル多重バスインタフェース 1 3 (i) から与えられるセル有効信号 c l a v 2 信号をチェックし、有効セルがある場合には、読み出し制御信号 r d c t 1 2 を有効にして当該セルの受信を通知する。

【 0 0 6 6 】 このように、ヘッダ変換部 1 5 は、入力セ

ル多重バス 1 4 を介してセルを入力すると、縮退部 1 5 B において、そのヘッダ部より抽出された V P I 値と V C I 値を有効ビットのみに縮退する処理を行う (図 6) 。縮退後の V P I 値と V C I 値は、変換テーブル 1 5 C に与えられ、対応する経路を索引する。なお、縮退するヘッダ情報には、V P I + V C I に加えて P I D のビット範囲を考慮して設定しておく。

【 0 0 6 7 】このように P I D を考慮に入れば、各回線のヘッダ変換を、一つのヘッダ変換部 1 5 によって実現することが可能となる。変換テーブル 1 5 C には、予めソフトウェアより出側の方路、P I D 及び V P I 値 / V C I 値を設定しておく。このようにすれば、入力されたセルのヘッダ情報に基づいて変換された該出側ヘッダ情報がセルに付与されて、主スイッチ部 1 6 へと出力される。

【 0 0 6 8 】 (A - 2 - 3) 出側制御部における詳細動作

続いて、出側制御部の詳細動作を説明する。この出側制御部によって実現される特徴部分は、主スイッチ部 1 6 の出側方路に具備された回線制御部 1 7 によって、各回線に応じた速度制御を集中して実施できる点である。

【 0 0 6 9 】図 7 を用いて、この点を説明する。主スイッチ部 1 6 により方路毎にルーティングされた各セルは、回線制御部 1 7 のセルバッファ 1 7 B に蓄積される。このセルバッファ 1 7 B は、ページメモリ制御部 (M E M - C T L) 1 7 E 1 によって制御され、1 セル毎にページ管理された構成を採っている。

【 0 0 7 0 】さらに、このセルバッファ 1 7 B に書き込みを行う書込制御部 (W R - C T L) 1 7 E 2 は、到着したセルに書き込まれているページアドレス (ページメモリ情報) とヘッダ情報 (P I D 情報) とを P I D 待ち行列制御部 (P I D - Q u e u e) 1 7 D 1 に通知する。

【 0 0 7 1 】ここで、この P I D 待ち行列制御部 1 7 D 1 は、通知された P I D 情報毎に仮想待ち行列 (キュー) を構成するよう動作する。すなわち、P I D 毎に到着した順番に、セルが格納されたメモリアドレスの鎖 (チェーン) を形成する。これらの情報は、さらに、P I D 毎に送出速度を判定する判定部 1 7 D 2 に通知される。ここでは、P I D 毎に送出履歴カウンタを持った判定部を想定している。

【 0 0 7 2 】各 P I D 待ち行列制御部 1 7 D 1 においてキューイングされた情報は、送出最大速度 (出側セル多重バス 1 8 の速度と一致) に応じたタイミングで判定され、判定結果と共に、読み出すべきメモリアドレス (ページメモリ情報) が読出制御部 (R D - C T L) に送出される。

【 0 0 7 3 】これにより、P I D 毎に速度制御されたセルが、出側セル多重バス 1 8 に出力される (図 8 の送出トラヒック流量制御 (シェーピング) 部の機能) 。出側

セル多重バス 1 8 に出力された各セルは、それぞれの回線毎に具備された出側セル多重バス 1 8 のインタフェース部 (図 7 の C B O i n f 、図 8 の C B o a 、C B o b 、C B o c 、C B o d) に到着する。

【 0 0 7 4 】ここで、出側セル多重バスインタフェース部 1 9 は、各セルから P I D ヘッダを P I D 抽出部 1 9 A で抽出し、これを P I D 判定部 1 9 B に与えることにより、各セルに付されている P I D ヘッダを検査する。

【 0 0 7 5 】このとき、P I D 判定部 1 9 B は、P I D ビット位置レジスタ 1 9 C に格納されているビット位置から抽出された P I D ヘッダの内容と、出 P I D 値レジスタ 1 9 D に設定されている値とを比較することにより、そのセルが自らに宛てたものか否か検査を行う。

【 0 0 7 6 】そして、自の P I D 値と一致したものだけを次段に通過させるようセレクタ 1 9 E を制御する。なおここで、P I D ビット位置は、入側制御部にて付与された P I D ビット位置と同一箇所を示している。

【 0 0 7 7 】なお、検査の結果、到着したセルが自らの P I D 値と一致すると判定した場合には、P I D ヘッダ削除部 (P I D - d e l) 1 9 F によって、ヘッダに付与されている P I D ヘッダの部分を削除する。

【 0 0 7 8 】具体的には、図 9 のように、該当ビット部分の全てに「 0 」が設定される。因みに、必要の無くなった主スイッチの出側方路を選択するためのビットも同時に削除される。

【 0 0 7 9 】一方、到着したセルが自らの P I D 値と一致しないと判定した場合には、アイドルセル生成部 1 9 G において生成されたアイドルセルを挿入し出力する。

【 0 0 8 0 】以上が、出側制御部で実行される動作の詳細内容である。

【 0 0 8 1 】 (A - 3) 第 1 の実施形態の効果

以上のように、第 1 の実施形態に係る A T M 交換機においては、各低速回線から入力されるセルのバス 1 4 への出力を競合制御し、当該バス上でこれら各回線からのセルを多重化する方式を採用したことにより、任意の回線速度について対応できる A T M 交換機を実現することができる。

【 0 0 8 2 】またこれにより、回線種別に応じて様々な回線数を想定する回線収容部を構成することができる。

例えば、1 回線毎の拡張が可能となる。

【 0 0 8 3 】また、主スイッチ部 1 6 におけるスイッチングに必要なヘッダ付与は、各回線について共通に用意されたヘッダ変換部 1 5 において集中して実行する (すなわち、各回線に対応するインタフェース部 1 3 において付与された物理回線識別子 P I D と、これらについて用意した変換テーブル 1 5 C を用いて実行する) こととしたことにより、従来に比してハードウェア構成が小さくて済む A T M 交換機を実現することができる。

【 0 0 8 4 】さらにまた、出側回線制御部 1 7 において、出力する各回線についての速度制御を集中して実施

する構成としたことにより、従来のように各回線のインタフェース部において速度制御を行うのに比してハードウェア構成が小さくて済ませることができる。

【0085】(B)第2の実施形態

以下、図面について、本発明に係るATM交換機の第2の実施形態を説明する。

【0086】(B-1)第2の実施形態の構成

図10に、第2の実施形態に係るATM交換機の構成を示す。この第2の実施形態に係るATM交換機は、低速回線収容部及び高速回線収容部の双方に出側回線制御部17'を設けることを特徴とするものであり、この点を除いて、第1の実施形態に係るATM交換機と同様の構成を有している。

【0087】ここで、出側回線制御部17'の構成は、基本的に第1の実施形態において説明した出側制御部17の構成と同様であるが、セルの読み出し制御にバーチャルチャネル(VC)単位の送出トラヒックの制御機能を実現するVC/port制御部17D'を用いる点が異なっている。

【0088】これは、出力回線に対してVC単位の出力トラヒック流量を制御するためである。なお、ここで説明する出側回線に対するVC単位の送出トラヒック速度制御は、エンド・エンドで設定されるコネクションの速度(帯域)であり、物理回線速度とは無関係である。

【0089】図11に、出側回線制御部17'の詳細構成を示す。なお、この出側回線制御部17'は、第1の実施形態で説明した出側制御部17と同様、主スイッチ部16の出側方路側に接続されており、その出力は、出側セル多重バス18又は高速回線物理制御部21に接続されている。

【0090】出力制御部17'は、ページメモリ制御部(MEM-CTL)17E1により制御されたセル毎に情報を蓄積するセルバッファ(CELLBUF)17Bと、ページメモリ書込制御部(WR-CTL)17E2と、読出制御部(RD-CTL)17E3と、VC/port制御部17D'とで構成されている。

【0091】ここで、書込制御部17E2とVC/port制御部17D'とは、到着したセルのヘッダ情報を通知する信号と、書き込んだページメモリ管理情報を通知する信号線を介して接続されている。

【0092】同様に、読出制御部17E3とVC/port制御部17D'とは、読み出し指示と読み出すページメモリ管理情報を通知する信号線を介して接続されている。

【0093】このVC/port制御部17D'は、VC待ち行列制御部(VC-Queue)17D11と、VP/PID待ち行列制御部(VP/PID-Queue)17D12と、判定部17D2とでなる。

【0094】ここで、VC待ち行列制御部(VC-Queue)17D1'は、受信したセルのヘッダ情報のV

C情報に基づき待ち行列(キュー)を構成し、かつ、到着した同一VCのセル間隔を計測する機能を備えている。

【0095】また、VP/PID待ち行列制御部(VP/PID-Queue)17D2'は、受信したセルのヘッダ情報のPID及びVPI情報からVP/PID待ち行列(キュー)を構成し、かつ、到着した同一VP/PIDのセル間隔を計測する機能を備えている。

【0096】判定部17D2は、これら計測されたセル間隔を予めソフトウェアにより設定された送出セル間隔及び許容値に基づいて判定するよう動作する。

【0097】(B-2)第2の実施形態の動作

続いて、以上の構成を有するATM交換機の動作を説明する。なお、全体的な動作の流れは第1の実施形態と同じであるため、以下の説明においては、第2の実施形態に特有の構成要素である出側回線制御部17'の動作を詳細に説明する。

【0098】まず、主スイッチ部16から出側回線制御部17'に受信されたセルは、ページメモリ書込制御部17E2によってページ管理されたセルバッファ17Bに書き込まれる。

【0099】ここで、ページ管理とは、1ページ、2ページ、…と、メモリを1セル情報分の蓄積エリアに分割し、ランダムにページ単位でアクセス可能とする機能であり、ページメモリ制御部17E1によって制御されている。

【0100】ページメモリ書込制御部17E2は、このように管理されるセルバッファ17Bに対して、順次到着するセルを書き込むと同時に、VC/port制御部17D'に対し、順次到着するセルのヘッダ情報(PID、VPI、VCI値)を通知する。

【0101】VC単位の仮想待ち行列(キュー)を構成するVC待ち行列制御部17D11では、このヘッダ情報を基に、受信したVCI値の有効部分(予めソフトウェアにて設定された値)を抽出し、到着順序に並べると共にセル間隔を計測する(図12)。

【0102】同時に、VP/PID待ち行列制御部17D12では、受信したPID値及びVPI値の有効部分を抽出し到着順序に並べると共に、セル間隔を計測する(図12)。

【0103】これらの結果は次段の判定部17D2に与えられ、当該判定部17D2において予めソフトウェアによって設定された値と照合される。そして、VC待ち行列制御部17D11の計測値とVP/PID待ち行列制御部17D12の計測値の双方が条件を満足したとき、OKと判定される。

【0104】OKと判定されたセルは、ユーザ情報が格納されたページメモリ情報と共に読み出し指示信号が通知される。読出制御部17E3は、該読み出し指示信号とページメモリ情報に基づいてセルが読み出す。こ

で、高速回線接続時は、PID値を「0」に設定する。つまり、PID+VPIの内容はVPI値のみ意味を持たせるようソフトウェアにて制御する。

【0105】(B-3) 第2の実施形態の効果

以上のように、第2の実施形態によれば、VC単位の送出トラヒック流量制御を必要とする装置で、かつ低速回線と高速回線を収容するような装置において、低速回線及び高速回線の双方に出側回線制御部17'を配備することによって、ハードウェアの共有化を図ることができる。

【0106】また、第1の実施形態と同様、セルバスの採用及び出側トラヒック制御の集中配備を実現できるためハードウェアの小型化が実現可能となる。

【0107】(C) 他の実施形態

なお、上述の実施形態においては、ATM交換機を例に本発明を説明したが、セル交換機能を有する装置に広く適用し得る。

【0108】

【発明の効果】 上述のように本発明によれば、低速回線を収容する入力インタフェース部に、(1) 各低速回線に対応し、各低速回線より入力された各セルを一時蓄積するのに使用するバッファ部と、(2) バッファ部からのセルの読み出しを制御し、各低速回線に対応するバッファ部からの読み出しタイミングを制御し、当該タイミングの競合を制御するバス競合制御部と、(3) 各低速回線に対応するバッファ部から読み出された各セルを多重し出力するバスとを備え、低速回線の多重をバス上で行うようにしたことにより、従来に比して、収容回線数及び収容回線の速度の組み合わせを柔軟に変更することができる。

【図面の簡単な説明】

【図1】 第1の実施形態に係る装置の概略構成を表したブロック図である。

【図2】 従来装置の概略構成を表したブロック図である。

【図3】 従来装置の詳細構成を表したブロック図である。

【図4】 第1の実施形態に係る装置内で転送されるセルの流れとセルヘッダ情報の変化の様子を表した図である。

【図5】 入側制御部内の動作説明に供する図である。

【図6】 ヘッダ変換の集中制御の様子を表した図である。

【図7】 出側制御部内の動作説明に供する図である。

【図8】 出側制御部内におけるセルの流れを表した図である。

10 【図9】 セルヘッダに対して行われる処理の流れを表した図である。

【図10】 第2の実施形態に係る装置の概略構成を表したブロック図である。

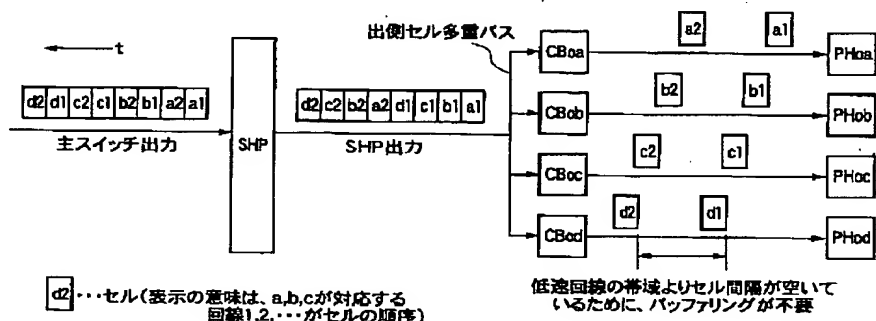
【図11】 出側制御部の内部構成を表した図である。

【図12】 VC/port制御部における動作の様子を表した図である。

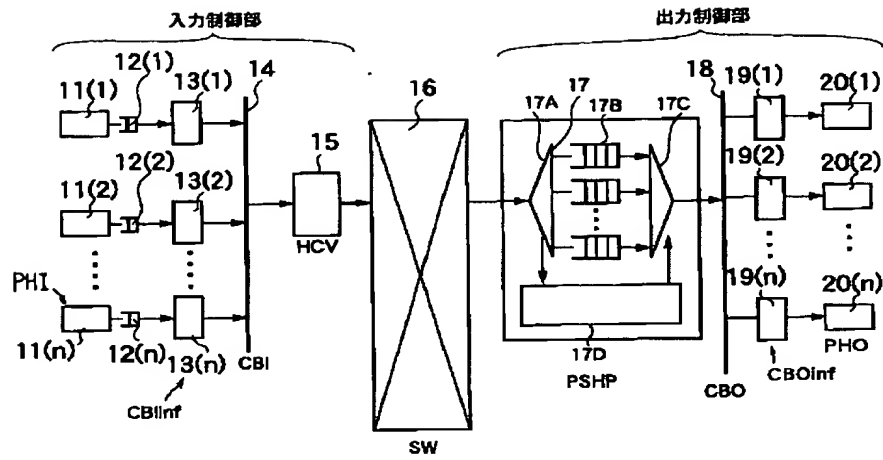
【符号の説明】

11…低速回線入力インタフェース部、12…一時記憶セルバッファ、13…入側セル多重バスインタフェース部、13A…競合制御回路、13B…物理回線インタフェース部、13C…PIDスタンプ部、13E…PID保持レジスタ、13F…VPI有効レジスタ、14…入側セル多重バス、15…ヘッダ変換部、15A…セルバスインタフェース制御部、15B…縮退部、15C…変換テーブル、15D…ヘッダ付与部、15E…SWインタフェース、16…主スイッチ部、17、17'…出側回線制御部、17A…セル振り分け部、17B…セルバッファ、17C…セルバッファ選択部、17D…送出トラヒック制御部、17D1…PID待ち行列制御部、17D'…VC/port制御部、17E1…ページメモリ制御部、17E2…書込制御部、17E3…読出制御部、18…出側セル多重バス、19…出側セル多重バスインタフェース部、19A…PIDヘッダ抽出部、19B…PID判定部、19C…PIDビット位置レジスタ、19D…出PID値レジスタ、19E…セクタ、19F…PIDヘッダ削除部、20…出側回線インタフェース部、21…高速回線物理制御部。

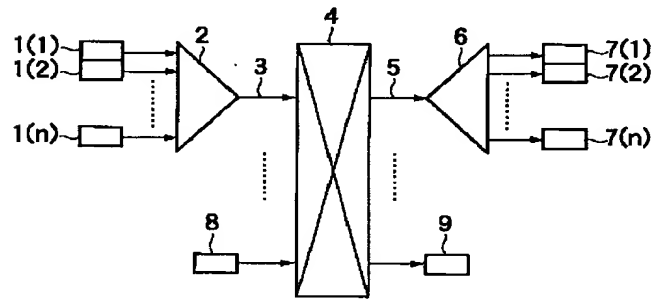
【図8】



【図 1】

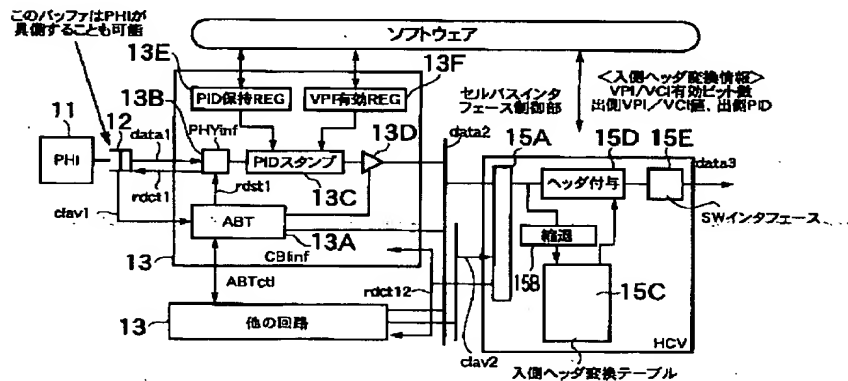


【図 2】

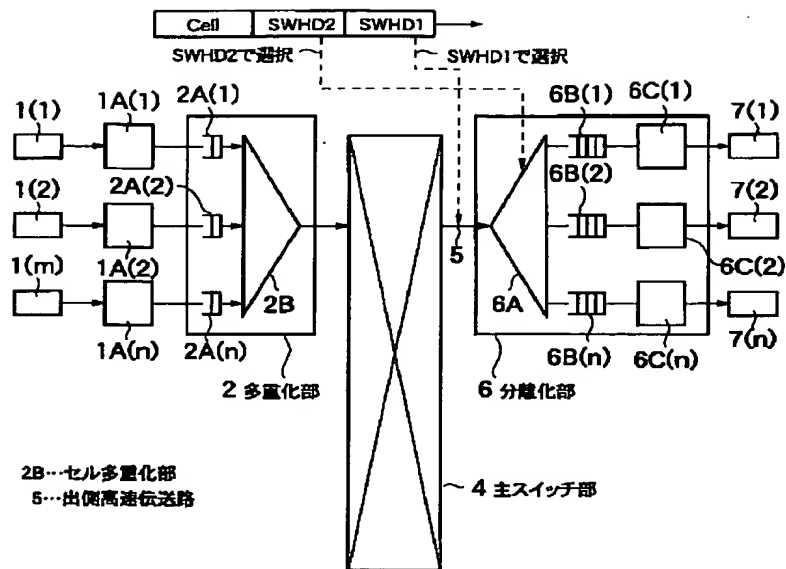


- 3…入側高速伝送路
5…出側高速伝送路
8…高速回線入力インタフェース
9…高速回線出力インタフェース

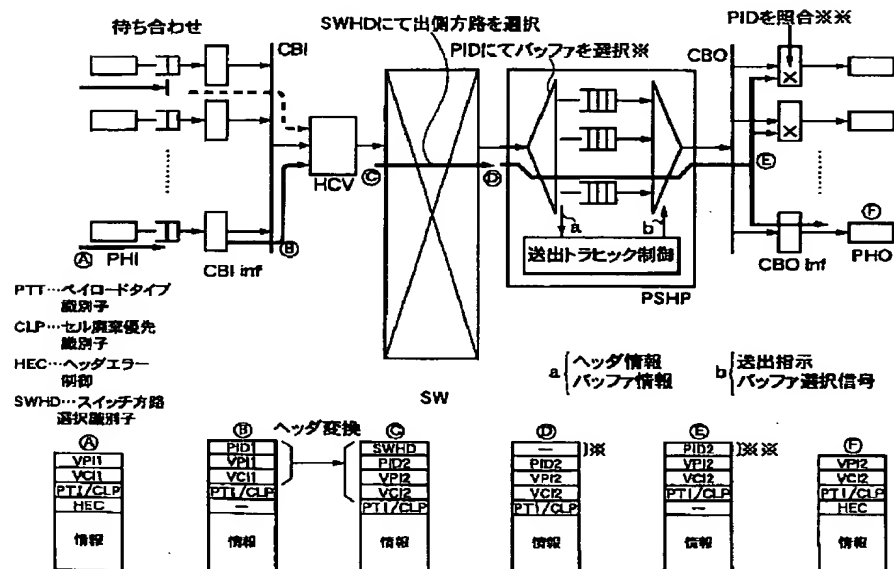
【図 5】



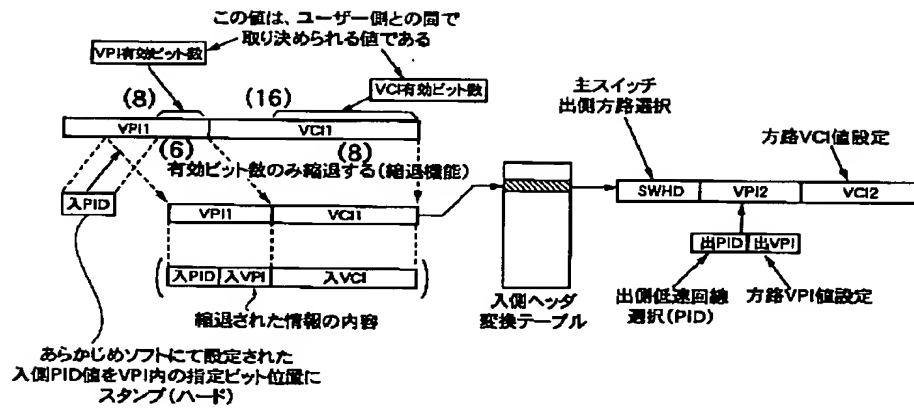
【図 3】



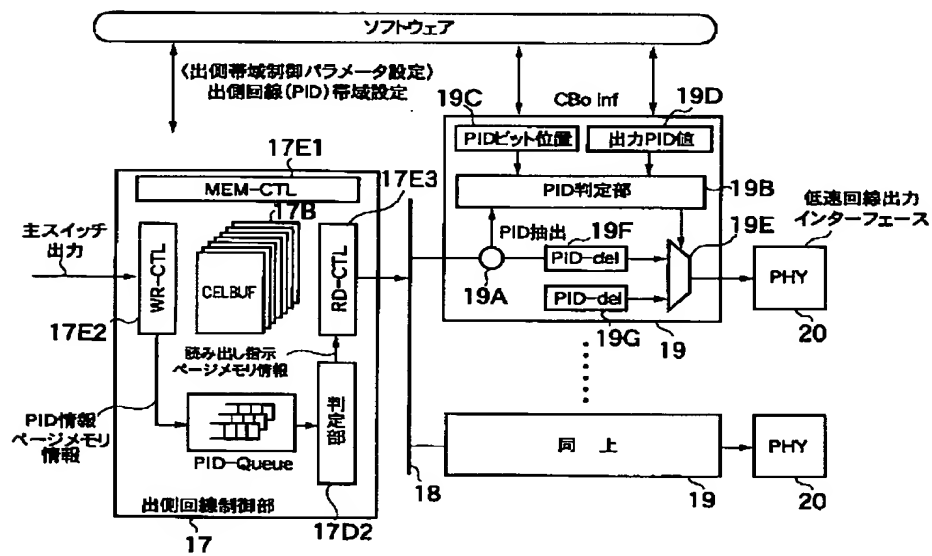
【図 4】



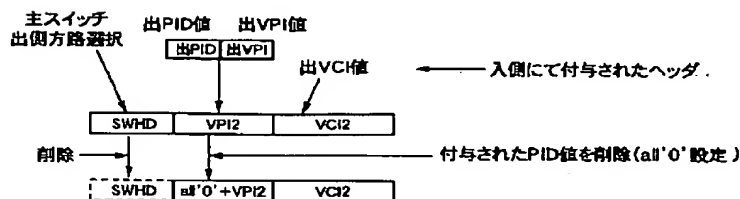
【図 6】



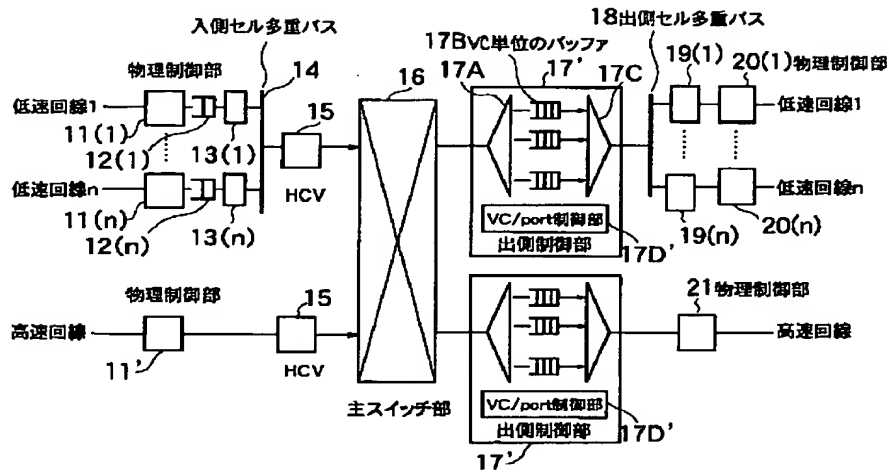
【図 7】



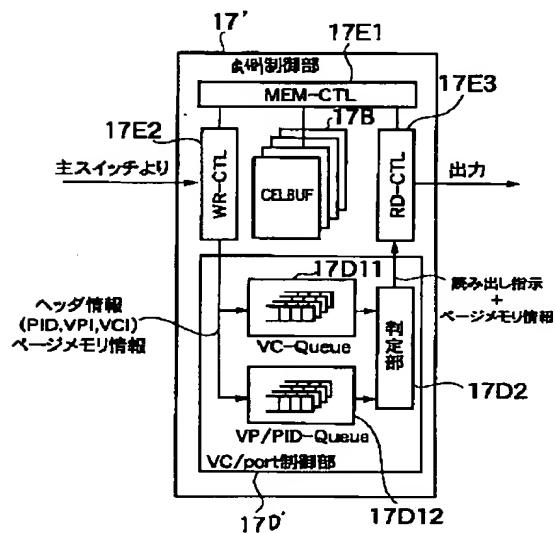
【図 9】



【図 10】



【図 11】



【図 12】

